

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-216744

(P2000-216744A)

(43) 公開日 平成12年8月4日 (2000. 8. 4)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)	
H 0 4 J	3/06	H 0 4 J	3/06	Z
	3/00		3/00	M
H 0 4 L	7/08	H 0 4 L	7/08	A
H 0 4 N	7/08	H 0 4 N	7/08	Z
	7/081			

審査請求 未請求 請求項の数4 O L (全 11 頁)

(21) 出願番号 特願平11-13306

(22) 出願日 平成11年1月21日 (1999. 1. 21)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 村山 秀明

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100067736

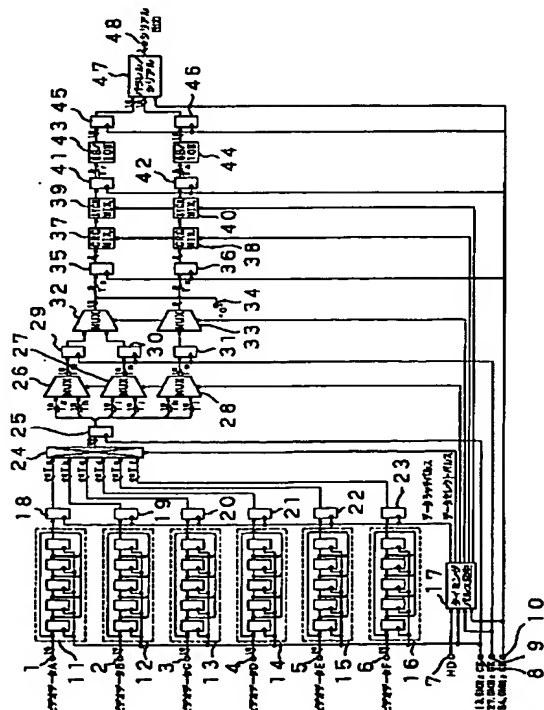
弁理士 小池 晃 (外2名)

(54) 【発明の名称】 データ伝送装置

(57) 【要約】

【課題】 デジタル信号の信号源に信号の位相をロックする機能を必要とせず、装置構成の大型化、消費電力の増加、コストの上昇などを伴うことなく、複数のデジタル信号を1本の高速シリアル信号にして伝送することを可能とする。

【解決手段】 複数の入力ビデオデータA～F毎に、数クロック分のデータを一括して取り込むシフトレジスタ11～16及びフリップフロップ18～23と、取り込んだパラレルデータを各クロック毎に選択するセレクタ24と、選択されたパラレルデータを並び替えてから多重するマルチプレクサ26～28、32、33、フリップフロップ29～31、35、36と、CRCと同期コードを付加するCRC処理部37、38及び同期コード付加部39、40と、パラレルデータをシリアルデータに変換するパラレル/シリアル変換IC 47とを有する。



【特許請求の範囲】

【請求項1】 複数の入力パラレルデータ毎に、数クロック分のパラレルデータを一括して取り込むパラレルデータ取り込み手段と、

上記取り込んだパラレルデータを各クロック毎に選択する選択手段と、

上記選択されたパラレルデータを並び替えてから多重する多重手段と、

少なくとも受信側でシリアルデータをパラレルデータに変換するための同期コードを、上記多重されたパラレルデータの特定の期間に付加する同期コード付加手段と、上記少なくとも同期コードが付加されたパラレルデータをシリアルデータに変換するパラレル／シリアル変換手段とを有することを特徴とするデータ伝送装置。

【請求項2】 上記多重されたパラレルデータの特定の期間に、巡回冗長検査符号を付加する巡回冗長検査符号付加手段を備えることを特徴とする請求項1記載のデータ伝送装置。

【請求項3】 上記複数の入力パラレルデータは、それぞれ異なる複数の信号源から供給されたデジタルビデオデータであり、

上記同期コード付加手段は、上記多重がなされた上記デジタルビデオデータの内の特定のデジタルビデオデータのブランキング期間に、上記同期コードを付加することを特徴とする請求項1記載のデータ伝送装置。

【請求項4】 上記複数の入力パラレルデータは、それぞれ異なる複数の信号源から供給されたデジタルビデオデータであり、

上記巡回冗長検査符号付加手段は、上記多重がなされた上記デジタルビデオデータの内の特定のデジタルビデオデータのブランキング期間に、上記巡回冗長検査符号を付加することを特徴とする請求項2記載のデータ伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数のパラレルデジタルデータを束ねて1本の高速シリアルデータにして、例えば光ファイバを介して伝送するデータ伝送装置に関する。

【0002】

【従来の技術】 従来より、複数のパラレルデジタルビデオデータを束ねて1本の高速シリアルデータにして光ファイバで伝送する場合には、受信側でシリアルデータを元のパラレルデータに変換できるようにするために、当該シリアルデータの中に特別の同期コードを埋め込むことが行われている。この場合、受信回路では、受信したシリアルデータの中から当該特別の同期コードを検出し、それを基準にシリアルデータをパラレルデータに戻すことが行われる。

【0003】 また、伝送の途中で生ずる伝送エラーを監

視するために、送信側では、デジタルビデオデータからCRC (cyclic redundancy check code: 巡回冗長検査符号) を計算し、それを信号の途中に埋め込むことが良く行われる。この場合、受信側では送信側と同じCRC計算を行い、送信側で埋め込まれたCRCと比較することにより伝送エラーの有無を知ることができる。すなわち、受信した信号から計算したCRCと送信側で計算したCRCが一致すれば伝送途中の誤りはなかったものとみなす。

【0004】 ところが、ビデオ信号の伝送においては、映像区間に上記同期コードを埋め込む事ができないため、例えばビデオ信号のブランキング区間に入れなくてはならない。このため、例えば複数の入力デジタルビデオデータを多重して1本のシリアルデータにして伝送する場合は、すべてのビデオ信号のブランキング位相がそろっている必要があるが、一般的にはそれら複数の入力ビデオ信号のブランキング位相がそろっている保証はない。

【0005】 このことを図4及び図5を用いて以下に説明する。なお、この図4に示すデータ伝送装置の例ではファイバチャネル規格のパラレル／シリアル変換IC139を用いている。当該パラレル／シリアル変換IC139は、8B/10Bのスクランブルがかけられた10ビットのデータ2本のパラレルデータをシリアルデータにして伝送する。また、同期コードとしての複数ビットのデータ(同期ワード)は、ファイバチャネル規格で使用されているK28.5を用いている。

【0006】 図4及び図5において、入力端子101～106にはそれぞれ10ビットパラレルのデジタルビデオデータA(A0, A1, A2, ...)～F(F0, F1, F2, ...)が入力され、端子107には13.5MHzのクロックが、端子108には水平同期パルスHDが、端子109には27.0MHzのクロックが、端子110には54.0MHzのクロックが入力される。なお、図5の図中AnmはAn9～An2、BnmはBn9～Bn2、CnmはCn9～Cn2、DnmはDn9～Dn2、EnaはAn1, An0, En9, En8, En7, En6, En5, 0, EnbはCn1, Cn0, En4, En3, En2, En1, En0, 0、FnaはBn1, Bn0, Fn9, Fn8, Fn7, Fn6, Fn5, 0, FnbはDn1, Dn0, Fn4, Fn3, Fn2, Fn1, Fn0, 0である。

【0007】 各デジタルビデオデータA～Fはそれぞれ対応して設けられたフリップフロップ111～116のデータ入力端子に入力され、13.5MHzのクロックは各フリップフロップ111～116のクロック入力端子及びタイミングパルス発生器117に入力され、水平同期パルスHDはタイミングパルス発生器117に、27.0MHzのクロックはタイミングパルス発生器117とフリップフロップ121～123の各クロック入

力端子に、54.0MHzのクロックはタイミングパルス発生器117とフリップフロップ127、128、133、134、137、138の各クロック入力端子とパラレル/シリアル変換IC139に送られる。

【0008】フリップフロップ111～116では、それぞれ入力されたデジタルビデオデータA～Fを、13.5MHzのクロックに基づいてラッチし、それぞれラッチしたデジタルビデオデータA～Fをマルチプレクサ118～120に送る。なお、フリップフロップ111及び112でラッチされたデジタルビデオデータA及びBはマルチプレクサ118に入力され、フリップフロップ113及び114でラッチされたデジタルビデオデータC及びDはマルチプレクサ119に、フリップフロップ115及び116でラッチされたデジタルビデオデータE及びFはマルチプレクサ120に送られる。

【0009】各マルチプレクサ118～120は、タイミングパルス発生器117が27.0MHzのクロックに応じて生成したタイミングパルスにより、それぞれ入力されたデジタルビデオデータをマルチプレクス（多重）し、10ビットのパラレルデータとして出力する。マルチプレクサ118にてデジタルビデオデータAとBをマルチプレクスして生成された10ビットパラレルデータSa（A0、B0、A1、B1、A2、B2、・・・）はフリップフロップ121のデータ入力端子に入力され、マルチプレクサ119にてデジタルビデオデータCとDをマルチプレクスして生成された10ビットパラレルデータSb（C0、D0、C1、D1、C2、D2、・・・）はフリップフロップ122のデータ入力端子に、マルチプレクサ120にてデジタルビデオデータEとFをマルチプレクスして生成された10ビットパラレルデータSc（E0、F0、E1、F1、E2、F2、・・・）はフリップフロップ123のデータ入力端子に送られる。

【0010】フリップフロップ121～123では、それぞれ入力されたデータを27.0MHzのクロックに基づいてラッチする。フリップフロップ121と122からの出力データはマルチプレクサ124に入力され、フリップフロップ123の出力データはマルチプレクサ125に送られる。

【0011】各マルチプレクサ124、125は、タイミングパルス発生器117が54.0MHzのクロックに応じて生成したタイミングパルスにより、それぞれ入力されたデータをマルチプレクスする。マルチプレクサ124から出力される10ビットのデータのうち、例えば上位8ビットデータSd（A0m、B0m、C0m、D0m、A1m、B1m、C1m、D1m、・・・）は、フリップフロップ127のデータ入力端子に送られる。また、マルチプレクサ125から出力される5ビットのデータは、マルチプレクサ124の出力データの下

位2ビット及び端子126から入力される”0”の1ビットと共に8ビットデータSe（E0a、F0a、E0b、F0b、E1a、F1a、E1b、F1b、・・・）となされ、フリップフロップ128のデータ入力端子に送られる。

【0012】フリップフロップ127、128は、それぞれ入力された8ビットデータを、54.0MHzのクロックに基づいてラッチする。フリップフロップ127と128から出力された8ビットデータは、それぞれ対応するCRC処理部（CRC MIX）129、130に送られる。

【0013】CRC処理部129、130は、タイミングパルス発生器117が生成したCRCのタイミングパルスに基づいて、各々入力されたデータについてCRCのコード計算を行い、当該CRCのコード計算により得られたCRCのコードを各入力データに付加する。CRC処理部129、130にてCRCのコードが付加されたデータは、それぞれ対応する同期付加部（SYNC MIX）131、132に送られる。

【0014】同期付加部131、132では、タイミングパルス発生器117が生成した同期ワードのタイミングパルスに基づいて、各々入力されたデータに同期ワードSYNC（K28.5）を付加する。これら同期付加部131、132にて同期ワードSYNCが付加されたデータは、それぞれ対応するフリップフロップ133、134のデータ入力端子に送られる。

【0015】フリップフロップ133、134は、それぞれ入力されたCRCのコード及び同期ワードSYNCが付加されたデータを、54.0MHzのクロックに基づいてラッチする。フリップフロップ133と134から出力された8ビットデータSf（A0m、B0m、C0m、D0m、SYNC、CRC、CRC、D1m、A2m、B2m、C2m、D2m、A3m、B3m、C3m、D3m、・・・）とSg（E0a、F0a、E0b、F0b、SYNC、CRC、CRC、F1b、E2a、F2a、E2b、F2b、・・・）は、それぞれ対応する8B/10B変換部135、136に送られる。

【0016】8B/10B変換部135、136は、それぞれ入力された8ビットデータに対し、後段の受信側でクロック抽出を容易にするため8B/10Bのスクランブルをかける。これら8B/10B変換部135、136から出力された10ビットデータは、それぞれ対応するフリップフロップ137、138のデータ入力端子に送られる。

【0017】フリップフロップ137、138は、それぞれ入力された10ビットデータを、54.0MHzのクロックに基づいてラッチする。フリップフロップ137と138から出力された10ビットパラレルデータは、パラレル/シリアル変換IC139に送られる。

【0018】パラレル/シリアル変換IC139は、5

4. 0MHzのクロックに基づいて、フリップフロップ137, 138から供給された2本の10ビットパラレルデータを1本の高速シリアルデータに変換する。このパラレル/シリアル変換IC139からのシリアルデータは、図4に示したデータ伝送装置の出力端子140から出力される。

【0019】ここで、図5から判るように、図4のデータ伝送装置に入力された各デジタルビデオデータA～Fのブランキング位相がそろっていないと、それらデジタルビデオデータの映像期間に上記同期ワード等が入り込み問題となる。すなわち、図5中の8ビットデータSf, Sgに示すように、各デジタルビデオデータA, B, C, E, Fに影響が出ないように、同期ワードSYNCとCRCのコードを挿入するためには、これらのビデオデータA～Fのブランキング位相を予め揃えておき、その上で上記同期ワードSYNCとCRCのコードを挿入しなくてはならない。

【0020】このようなことから、従来より、複数のデジタルビデオ信号のブランキング位相を揃えるために、以下のような手法がとられている。

【0021】例えば、データ伝送装置に複数のビデオ信号を供給する信号源としての複数の機器に対して、それぞれ供給される基準信号の位相を進めたり、或いは遅らせたりしてビデオ信号の位相（例えばブランキング位相）をロックさせる機能を持たせること、或いは、データ伝送装置において、フレームメモリやラインメモリ等を使用して、上述したロック機能を持たない信号源としての機器からそれぞれ供給されたビデオ信号の位相を揃えるようにすること等の手法がとられている。

【0022】

【発明が解決しようとする課題】しかし、データ伝送装置に複数のビデオ信号を供給する信号源としての複数の機器のすべてが、上述したビデオ信号の位相をロックできる機能を有している保証は無い。

【0023】また、データ伝送装置において、例えばフレームメモリやラインメモリを用いてビデオ信号の位相を揃えるようにするためには、これらフレームメモリやラインメモリが必要になるだけでなく、それらメモリに加えて、さらにビデオ信号間の位相差を検出する回路や、その位相差に基づいてメモリのアドレスを計算する回路等、複雑な信号処理回路が必要となり、装置構成の増大、消費電力の増加、コストの上昇など、大きなデメリットがある。さらに、近年の高精細映像に対応すべく、ビデオ信号の周波数が高くなると、メモリへの書き込みや読み出しが困難になる。また、IC化を行う際にも、フレームメモリやラインメモリは大きな面積を必要とし大変に不利となる。

【0024】そこで、本発明はこのような状況に鑑みてなされたものであり、デジタル信号の信号源に信号の位相をロックできる機能を特に必要とせず、また、装置

構成の大型化、消費電力の増加、コストの上昇などを伴うことなく、複数のデジタル信号を1本の高速シリアル信号にして伝送することを可能とする、データ伝送装置を提供することを目的とする。

【0025】

【課題を解決するための手段】本発明のデータ伝送装置は、複数の入力パラレルデータ毎に、数クロック分のパラレルデータを一括して取り込むパラレルデータ取り込み手段と、その取り込んだパラレルデータを各クロック毎に選択する選択手段と、当該選択したパラレルデータを並び替えてから多重する多重手段と、少なくとも受信側でシリアルデータをパラレルデータに変換するための同期コードをその多重されたパラレルデータの特定の期間に付加する同期コード付加手段と、当該同期コードが付加されたパラレルデータをシリアルデータに変換するパラレル/シリアル変換手段とを有することにより、上述した課題を解決する。

【0026】

【発明の実施の形態】本発明の好ましい実施の形態について、図面を参照しながら説明する。

【0027】図1には、本発明のデータ伝送装置の一実施の形態の構成を示す。図1に示す本発明実施の形態のデータ伝送装置の例ではファイバチャネル規格のパラレル/シリアル変換IC47を用いている。当該パラレル/シリアル変換IC47は、8B/10Bのスクランブルがかけられた10ビットのデータ2本のパラレルデータをシリアルデータにして伝送する。また、同期コードとしての複数のビットのデータ（同期ワード）は、ファイバチャネル規格で使用されているK28.5を用いている。さらに、図2には、この図1のデータ伝送装置の各部における信号チャートを示している。なお、図2の図中AnmはAn9～An2、BnmはBn9～Bn2、CnmはCn9～Cn2、DnmはDn9～Dn2、EnmはEn9～En2、FnmはFn9～Fn2であり、AnjはA(n-4)1, A(n-4)0, An9, An8, An7, An6, An5, 0, AnkはA(n-2)1, A(n-2)0, An4, An3, An2, An1, An0, 0, BnjはB(n-4)1, B(n-4)0, Bn9, Bn8, Bn7, Bn6, Bn5, 0, BnkはB(n-2)1, B(n-2)0, Bn4, Bn3, Bn2, Bn1, Bn0, 0, CnjはC(n-4)1, C(n-4)0, Cn9, Cn8, Cn7, Cn6, Cn5, 0, CnkはC(n-2)1, C(n-2)0, Cn4, Cn3, Cn2, Cn1, Cn0, 0, DnjはD(n-4)1, D(n-4)0, Dn9, Dn8, Dn7, Dn6, Dn5, 0, DnkはD(n-2)1, D(n-2)0, Dn4, Dn3, Dn2, Dn1, Dn0, 0, EnjはE(n-4)1, E(n-4)0, En9, En8, En7, En6, En5, 0, EnkはE(n-2)1, E(n-2)0, En4, En3, En2, En1, En0, 0, FnjはF(n-4)1, F(n-4)0, Fn9, Fn8,

F<sub>n7</sub>, F<sub>n6</sub>, F<sub>n5</sub>, 0, F<sub>nk</sub>はF<sub>(n-2)1</sub>, F<sub>(n-2)0</sub>, F<sub>n4</sub>, F<sub>n3</sub>, F<sub>n2</sub>, F<sub>n1</sub>, F<sub>n0</sub>, 0である。

【0028】図1及び図2において、入力端子1～6にはそれぞれ10ビットパラレルのデジタルビデオデータ(A0, A1, A2, ...)～F(F0, F1, F2, ...)が入力され、端子7には水平同期パルスHDが、端子8には13.5MHzのクロックが、端子9には27.0MHzのクロックが、端子10には54.0MHzのクロックが入力される。

【0029】各デジタルビデオデータA～Fはそれぞれ対応して設けられたシフトレジスタ11～16に入力され、水平同期パルスHDはタイミングパルス発生器17に入力され、13.5MHzのクロックは各シフトレジスタ11～16を構成する各段のフリップフロップのクロック入力端子とタイミングパルス発生器17及びフリップフロップ25のクロック入力端子に入力され、27.0MHzのクロックはフリップフロップ29～31の各クロック入力端子とタイミングパルス発生器17に、54.0MHzのクロックはフリップフロップ35, 36, 41, 42, 45, 46の各クロック入力端子とタイミングパルス発生器17及びパラレル/シリアル変換IC47に入力される。

【0030】シフトレジスタ11～16はそれぞれ5段のフリップフロップにより構成され、各段のフリップフロップではそれぞれデータ入力端子に入力された信号を13.5MHzのクロックによって順次ラッチする。また、これらシフトレジスタ11～16への入力デジタルビデオ信号A～Fと各段のフリップフロップの各ラッチ出力とは、それぞれ各デジタルビデオデータA～Fに対応して設けられているフリップフロップ18～23のデータ入力端子にも送られる。すなわち、これらフリップフロップ18～23のデータ入力端子には、それぞれ対応するシフトレジスタ11～16の入力デジタルビデオデータA～F及び5段のフリップフロップの各ラッチ出力からなる60ビットのデジタルデータが供給される。

【0031】フリップフロップ18～23は、タイミングパルス発生器17が水平同期パルスHDに応じて生成した6クロック毎のデータラッチパルスにより、それぞれ入力された60ビットのデジタルデータをラッチする。これらフリップフロップ18～23からの出力データTa(A0, A1, A2, A3, A5, A6, A7, ...)～Tf(F0, F1, F2, F3, F5, F6, F7, ...)は、セレクト24に送られる。

【0032】セレクト24は、タイミングパルス発生器17が13.5MHzに応じて生成したデータセレクトパルスにより、上記フリップフロップ18～23からの出力データTa～Tfを選択的に切り換え、その切り換え出力データをフリップフロップ25のデータ入力端子

に送る。すなわち、このセレクト24では、データセレクトパルスに基づいて、データTa～Tfから何れか1つを選択して順次出力することで、各デジタルビデオデータを並び替える。具体的に言うと、このセレクト24により、各デジタルビデオデータは、図2のデータTg(A0, B0, C0, D0, E0, F0, A6, B6, C6, D6, E6, F6, ...)～Tl(A5, B5, C5, D5, E5, F5, A11, B11, C11, D11, E11, F11, ...)に示すように並び替えられる。したがって、当該セレクト24の出力データは、ある時間を見てみると、デジタルビデオデータA～Fの何れかのデータのみが並んだものとなる。

【0033】その後、当該セレクト24の出力データは、マルチプレックスされることになるが、同じデジタルビデオデータが4クロック連続するので、4クロック分の連続するデータ(8ワード分)を入れられることになる。したがって、例えば同期ワードとCRCCのデータを入れても他のビデオデータに影響を与えない。このため、本実施の形態のデータ伝送装置では、セレクト24の出力データをフリップフロップ25以降の構成に送る。

【0034】フリップフロップ25は、13.5MHzのクロックに応じて、セレクト24からのデータをラッチし、それらラッチ出力データTg(A0, B0, C0, D0, E0, F0, A6, B6, C6, D6, E6, F6, ...)～Tl(A5, B5, C5, D5, E5, F5, A11, B11, C11, D11, E11, F11, ...)を10ビット毎にマルチプレクサ26～28に送る。すなわち、マルチプレクサ26にはラッチ出力Tg及びThが入力され、マルチプレクサ27にはラッチ出力Ti及びTjが入力され、マルチプレクサ28にはラッチ出力Tik及びTlが入力される。

【0035】これらマルチプレクサ26～28は、タイミングパルス発生器117が27.0MHzのクロックに応じて生成したタイミングパルスにより、それぞれ入力されたデジタルデータをマルチプレクス(多重)し、10ビットのパラレルデータTm(A0, A1, B0, B1, C0, C1, D0, D1, E0, E1, F0, F1, A6, A7, B6, B7, ...)、Tn(A2, A3, B2, B3, C2, C3, D2, D3, E2, E3, F2, F3, A8, A9, B8, B9, ...)、To(A4, A5, B4, B5, C4, C5, D4, D5, E4, E5, F4, F5, A10, A11, B10, B11, ...)として出力する。これらマルチプレクサ26～28から出力されるデータTm～Toは、それぞれ対応するフリップフロップ29～31のデータ入力端子に入力する。

【0036】フリップフロップ29～31は、27.0MHzのクロックにより、それぞれ対応するデータTm～Toをラッチする。フリップフロップ29と30のラ

ッチ出力はマルチプレクサ32に、フリップフロップ33のラッチ出力はマルチプレクサ33に入力される。

【0037】各マルチプレクサ32、33は、タイミングパルス発生器117が54.0MHzのクロックに応じて生成したタイミングパルスにより、それぞれ入力されたデータをマルチプレクスする。マルチプレクサ32から出力される10ビットのデータのうち、例えば上位8ビットデータTp(A0m, A1m, A2m, A3m, B0m, B1m, B2m, B3m, ...)は、フリップフロップ35のデータ入力端子に送られる。また、マルチプレクサ33から出力される5ビットのデータは、マルチプレクサ32の出力データの下位2ビット及び端子34から入力された"0"の1ビットと共に8ビットデータTq(A4j, A5j, A4k, A5k, B4j, B5j, B4k, B5k, ...)となされ、フリップフロップ36のデータ入力端子に供給される。

【0038】フリップフロップ35、36は、それぞれ入力された8ビットデータを、54.0MHzのクロックに基づいてラッチする。フリップフロップ35と36から出力された8ビットデータは、それぞれ対応するCRC処理部(CRC MIX)37、38に送られる。

【0039】CRC処理部37、38は、タイミングパルス発生器17が生成したCRCのタイミングパルスに基づいて、各々入力されたデータについてCRCのコード計算を行い、当該CRCのコード計算により得られたCRCのコードをその入力データに付加する。CRC処理部37、38にてCRCのコードが付加されたデータは、それぞれ対応する同期付加部(SYNC MIX)39、40に送られる。

【0040】さらに、同期付加部39、40では、タイミングパルス発生器17が生成した同期ワードのタイミングパルスに基づいて、各々入力されたデータに同期ワードSYNC(K28.5)を付加する。

【0041】図2の例では、例えばデジタルビデオデータBに同期ワードSYNCとCRCのコードを付加した例を挙げており、この図2の例から判るように、デジタルビデオデータBに同期ワードSYNCとCRCのコードを付加しても、他のデータには影響が無いので、そのデジタルビデオデータBのブランキング位相をみて、当該デジタルビデオデータBの位置に同期ワードSYNCやCRCのコードを挿入することができ、また、他のデジタルビデオデータのブランキング位相を、このデジタルビデオデータBのブランキング位相に合わせておく必要もない。なお、本発明実施の形態では、例えばデジタルビデオデータBに同期ワードSYNCとCRCのコードを付加した例を挙げているが、他のデジタルビデオデータであってもよい。

【0042】これら同期付加部39、40にて同期ワードSYNCが付加されたデータは、それぞれ対応するフリップフロップ41、42のデータ入力端子に送られ

る。

【0043】フリップフロップ41、42は、それぞれ入力されたCRCのコード及び同期ワードSYNCが付加されたデータを、54.0MHzのクロックに基づいてラッチする。フリップフロップ41と42から出力された8ビットデータTr(A0m, A1m, A2m, A3m, SYNC, CRC, CRC, B3m, C0m, C1m, C2m, C3m, ...)とTs(A4j, A5j, A4k, A5k, SYNC, CRC, CRC, B5k, C4j, C5j, C4k, C5k, ...)は、それぞれ対応する8B/10B変換部43、44に送られる。

【0044】8B/10B変換部43、44は、それぞれ入力された8ビットデータに対し、後段の受信側でクロック抽出を容易にするため8B/10Bのスクランブルをかける。これら8B/10B変換部43、44から出力された10ビットデータは、それぞれ対応するフリップフロップ45、46のデータ入力端子に送られる。

【0045】フリップフロップ45、46は、それぞれ入力された10ビットデータを、54.0MHzのクロックに基づいてラッチする。フリップフロップ45と46から出力された10ビットパラレルデータは、パラレル/シリアル変換IC47に送られる。

【0046】パラレル/シリアル変換IC47は、54.0MHzのクロックに基づいて、フリップフロップ45、46から供給された2本の10ビットパラレルデータを1本の高速シリアルデータに変換する。このパラレル/シリアル変換IC47からのシリアルデータは、図1に示したデータ伝送装置の出力端子48から出力される。

【0047】なお、上述の例では、4クロック分の連続するデータ(8ワード連続するデータ)をデジタルビデオデータに埋め込む例を挙げたが、更に長く連続するデータを埋め込むことも可能である。例えば、上述の例の倍である16ワード連続するデータを埋め込むような場合は、シフトレジスタの段数を11にすれば、当該16ワード連続するデータを入れることができる。或いは、入力されるデジタルビデオデータのうち、2本のビデオデータのブランキング位相を、前述したようなビデオ信号の位相をロックできる機能やメモリ等を用いれば、16ワード連続するデータを入れることができる。また、連続しなくて良いデータを埋め込む場合は、デジタルビデオデータの各位置毎に(例えば図2の場合はデジタルビデオデータBの位置毎に)そのデータを挿入すれば良い。

【0048】上述したように、本発明実施の形態のデータ伝送装置によれば、多数のデジタルビデオデータを纏めて多重し、1本の高速シリアル信号にして例えば光ファイバを用いて伝送する場合に、同期ワードやCRCを挿入するために入力ビデオデータのブランキング位

相を揃えておく必要が無い。また、本実施の形態によれば、ディジタルビデオデータの並び替えのための回路がフリップフロップやセクタ、簡単なタイミングパルス発生器のみで構成できるため安価であり消費電力も少なく、且つ、高速化に対しても有利であり、回路規模も小さくて済むためIC化に対しても有利である。さらに、本発明実施の形態によれば、ディジタルビデオデータの信号源に対して前述したようなビデオ信号の位相をロックできる機能を持たせる必要が無いため、システム全体の構成を簡単且つ安価にすることができ、また、フレームメモリやラインメモリを用いた複雑な回路も不要となるため、それらフレームメモリやラインメモリを用いてブランキング位相を調整する場合のように、各ビデオデータの入力に対して1個のフレームメモリやラインメモリを設ける必要が無く、小型化、低消費電力化、IC化に非常に好都合であると共に、フレームメモリ等を用いる場合に比べてビデオデータの遅延が少ない。なお、本実施の形態のデータ伝送装置にディジタルビデオデータを供給する信号源としては、各種のものが考えられるが、その一例としては、例えばディジタルビデオカメラなどを挙げることができる。

【0049】図3には、上記信号源の一例として、ディジタルビデオカメラの主要部の概略構成を示す。

【0050】この図3において、被写体等からの光は、図示しないレンズ光学系を通過し、さらに図示しないプリズム等の色分解素子を介して緑色（G）光と赤色（R）光と青色（B）光とに分解され、これら分解されたG、R、Bの各光はそれぞれ対応するCCD151、152、153に入射する。

【0051】各CCD151、152、153は、タイミングジェネレータ154からの駆動パルスにより動作し、入射光をそれぞれ電気信号（撮像信号）に変換して出力する。これらCCD151、152、153からそれぞれ出力された撮像信号は、それぞれ対応して設けられたアンプ回路155、156、157に送られる。

【0052】タイミングジェネレータ154は、制御部163からの制御信号をディジタル／アナログ（D/A）変換器158によりアナログ変換した制御電圧に基づいて、CCD151、152、153の駆動パルスを発生する。

【0053】アンプ回路155、156、157は、制御部163からの制御信号をディジタル／アナログ変換器158によりアナログ変換した制御電圧に基づいて、それぞれ供給された撮像信号を増幅すると共にG、R、B間のレベル調整等を行う。これらアンプ回路155、156、157にて増幅及びレベル調整等が成された後のG、R、Bの信号は、それぞれ対応したアナログ／ディジタル（A/D）変換器159、160、161に送られる。

【0054】アナログ／ディジタル変換器159、160、161では、アナログのG、R、Bの撮像信号を18.0MHzのレートのディジタルデータに変換する。これらアナログ／ディジタル変換器159、160、161からのG、R、Bのディジタルデータは、サンプルホールド回路162に送られる。

【0055】サンプルホールド回路162は、制御部163の制御のもとで、G、R、Bのディジタルデータをサンプルホールドし、得られたデータをリニアマトリクス回路165に送る。また、特に、G、Rのデータはイメージエンハンサ164にも送られる。

【0056】上記リニアマトリクス回路165では、G、R、Bそれぞれの差信号に重み付けの係数をかけて補正データを生成し、さらにこれら補正データをそれぞれG、R、Bのディジタルデータに加算することで、色の補正を行う。当該リニアマトリクス回路165により色補正されたG、R、Bの各ディジタルデータは、それぞれ対応して設けられている加算器166、167、168に送られる。

【0057】また、イメージエンハンサ164は、画像の輪郭に必要な応じてエッジを付加し、画質の改善を図るためのアパーチャ信号及びディジタルアパーチャ信号を生成する。ディジタルアパーチャ信号は加算器166、167、168と加算器172、173、174に、アパーチャ信号は後述のディジタルエンコーダ176に送られる。

【0058】加算器166、167、168は、リニアマトリクス回路165にて色補正されたG、R、Bのディジタルデータに、イメージエンハンサ164からのディジタルアパーチャ信号を加算する。これら加算器166、167、168からの出力データは、それぞれ対応するガンマ（ $\gamma$ ）処理回路169、170、171に送られる。

【0059】ガンマ（ $\gamma$ ）処理回路169、170、171では、表示手段における逆特性をかけるいわゆるガンマ処理を行い、そのガンマ処理後の各G、R、Bのディジタルデータを加算器172、173、174に送る。

【0060】加算器172、173、174は、ガンマ処理回路169、170、171にてガンマ処理された後のG、R、Bのディジタルデータに、イメージエンハンサ164からのディジタルアパーチャ信号を加算する。これら加算器172、173、174からの出力データは、マトリクス回路75に送られる。

【0061】マトリクス回路175は、G、R、Bのコンポーネント信号をマトリクス演算により、輝度信号（Y）と色差信号（R-Y、B-Y）のコンボジット信号に変換して出力する。マトリクス回路175から出力された輝度信号（Y）と色差信号（R-Y、B-Y）はディジタルエンコーダ176とレート変換器177にそれぞれ送られる。



【0062】デジタルエンコーダ176は、イメージエンハンサ164からのアパーチャ信号により輪郭強調処理を行うと共に、輝度信号（Y）と色差信号（R-Y, B-Y）から所定のテレビジョン方式のビデオ信号を生成する。このデジタルエンコーダ176にて生成されたビデオ信号は、デジタル／アナログ変換器179及び出力端子191を介して図示しないビューファインダに送られ、また、デジタル／アナログ変換器190及び出力端子192を介して出力される。

【0063】レート変換器177では、18MHzのレートの輝度信号（Y）と色差信号（R-Y, B-Y）を、13.5MHzのレートの信号に変換し、端子193を介して図示しない記録系に送られる。一方、再生時の端子193には、図示しない再生系から13.5MHzのレートの輝度信号（Y）と色差信号（R-Y, B-Y）が供給され、したがって当該再生時のレート変換器177では再生系から供給された13.5MHzのレートの輝度信号（Y）と色差信号（R-Y, B-Y）を、18MHzのレートに変換する。再生時の当該レート変換後の輝度信号（Y）と色差信号（R-Y, B-Y）は、デジタルエンコーダ176に送られる。

【0064】これにより、再生時のデジタルエンコーダ176は、当該再生系からの信号をビデオ信号に変換することになる。

【0065】なお、シグナルジェネレータ178は、当該ビデオカメラの各部の基準タイミングを生成している。

【0066】上述したように、図3のビデオカメラにおいては、アナログ／デジタル変換器159、160、161でのアナログ／デジタル変換は、CCD151、152、153の動作クロックと同じ周波数で行われ、したがって、それ以後の信号処理もCCDの動作クロックと同じか、又はその倍のクロックで行われている。一方、伝送されるビデオ信号（図3の例では輝度信号（Y）と色差信号（R-Y, B-Y））のレートは、13.5MHzとなされている。なお、マトリクス回路75の前段でG, R, Bの信号をそのまま伝送する場合

は、18MHzのレートの信号が伝送されることになる。

【0067】

【発明の効果】以上の説明で明らかなように、本発明のデータ伝送装置においては、複数の入力パラレルデータ毎に、数クロック分のパラレルデータを一括して取り込むパラレルデータ取り込み、当該取り込んだパラレルデータを各クロック毎に選択し、その選択されたパラレルデータを並び替えてから多重し、少なくとも受信側でシリアルデータをパラレルデータに変換するための同期コードを当該多重されたパラレルデータの特定の期間に付加し、その少なくとも同期コードが付加されたパラレルデータをシリアルデータに変換することにより、デジタルデータの信号源に信号の位相をロックできる機能を特に必要とせず、また、装置構成の大型化、消費電力の増加、コストの上昇などを伴うことなく、複数のデジタル信号を1本の高速シリアル信号にして伝送することが可能である。

【図面の簡単な説明】

【図1】本発明実施の形態のデータ伝送装置の概略構成を示すブロック回路図である。

【図2】本発明実施の形態のデータ伝送装置の各部の信号チャートを示す図である。

【図3】信号源の一例としてのデジタルビデオカメラの主要部の概略構成を示すブロック回路図である。

【図4】従来のデータ伝送装置の概略構成を示すブロック回路図である。

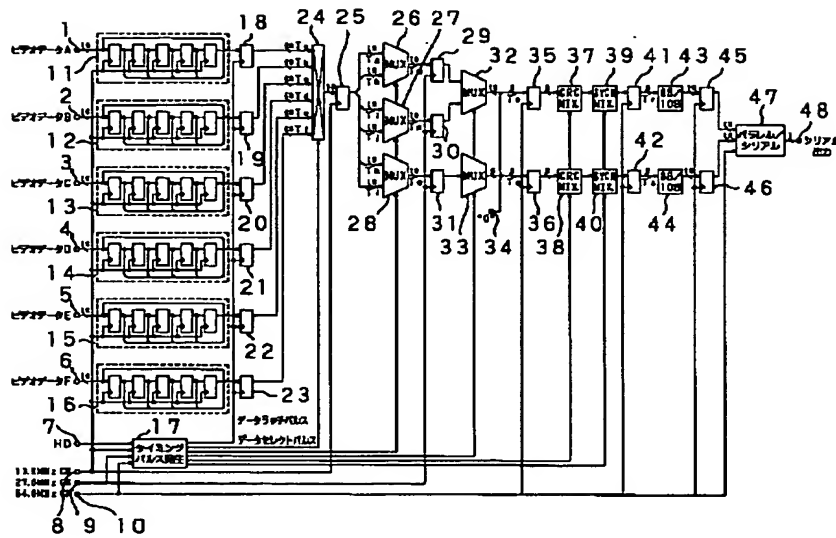
【図5】従来のデータ伝送装置の各部の信号チャートを示す図である。

【符号の説明】

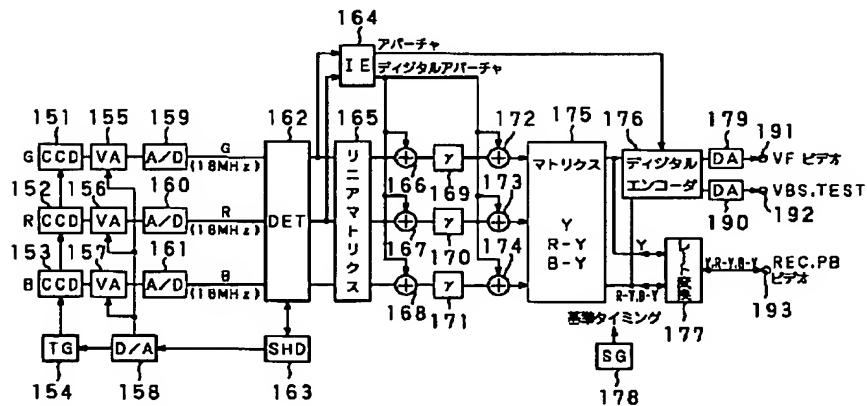
1～6 デジタルビデオデータの入力端子、 11～16 シフトレジスタ、 18～23, 29～31, 35, 36, 41, 42, 45, 46 フリップフロップ、 24 セレクタ、 26～28, 32, 33 マルチプレクサ、 37, 38 CRC処理部、 43, 44 同期付加部、 47 パラレル／シリアル変換IC、 タイミングパルス発生器



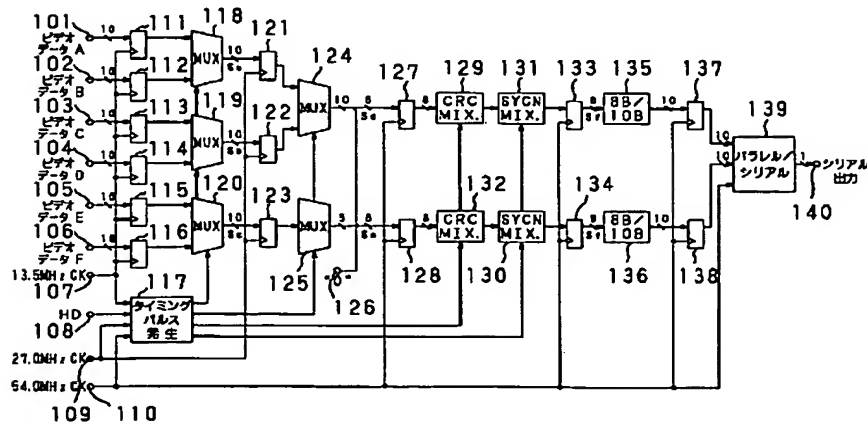
【図1】

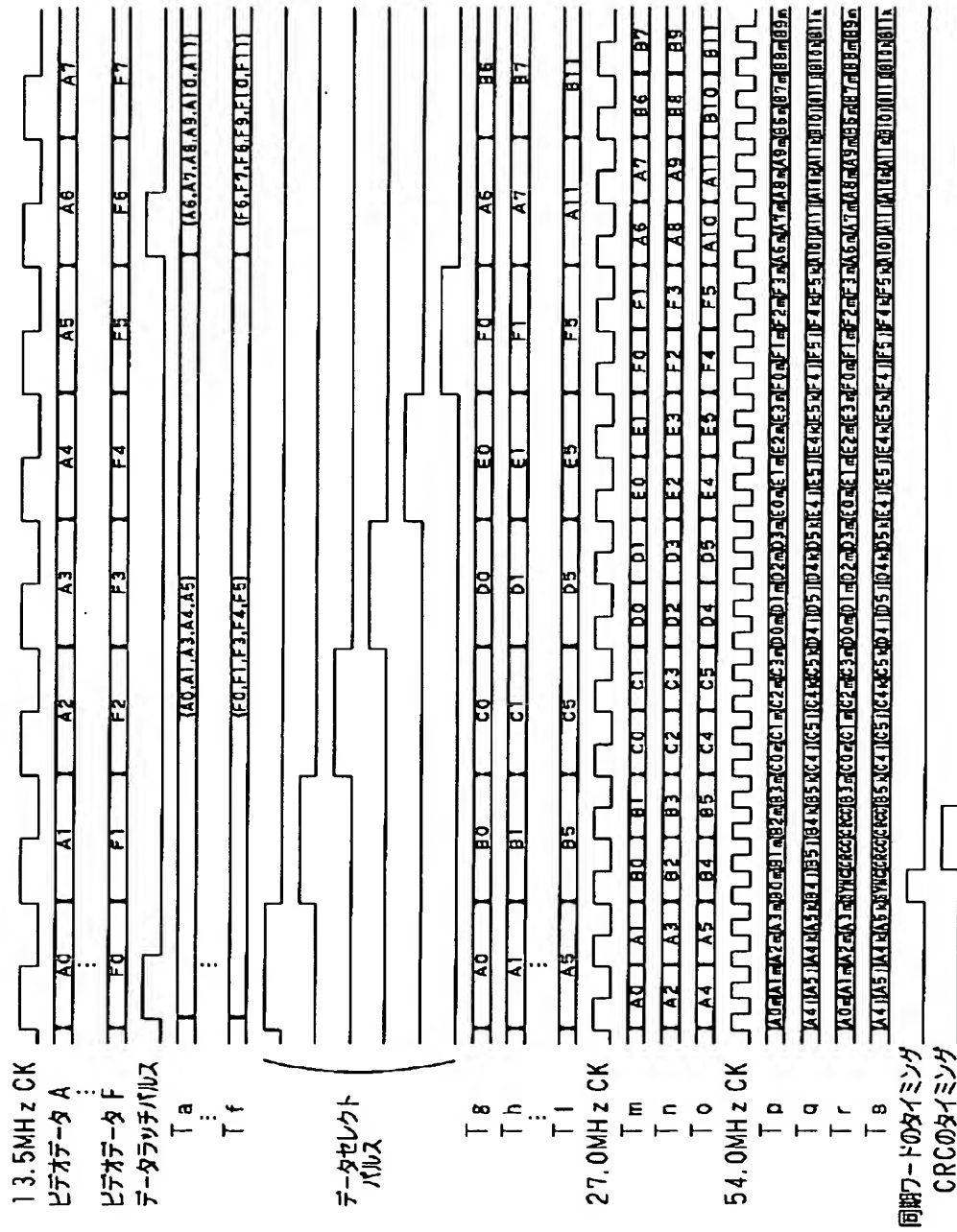


【図3】



【図4】





【図5】

